

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-112313

(43) 公開日 平成11年(1999) 4月23日

(51) Int.Cl.⁶

H 0 3 K 17/08

識別記号

F I

H 0 3 K 17/08

Z

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願平9-269846

(22) 出願日 平成9年(1997)10月2日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 五十嵐 尚

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

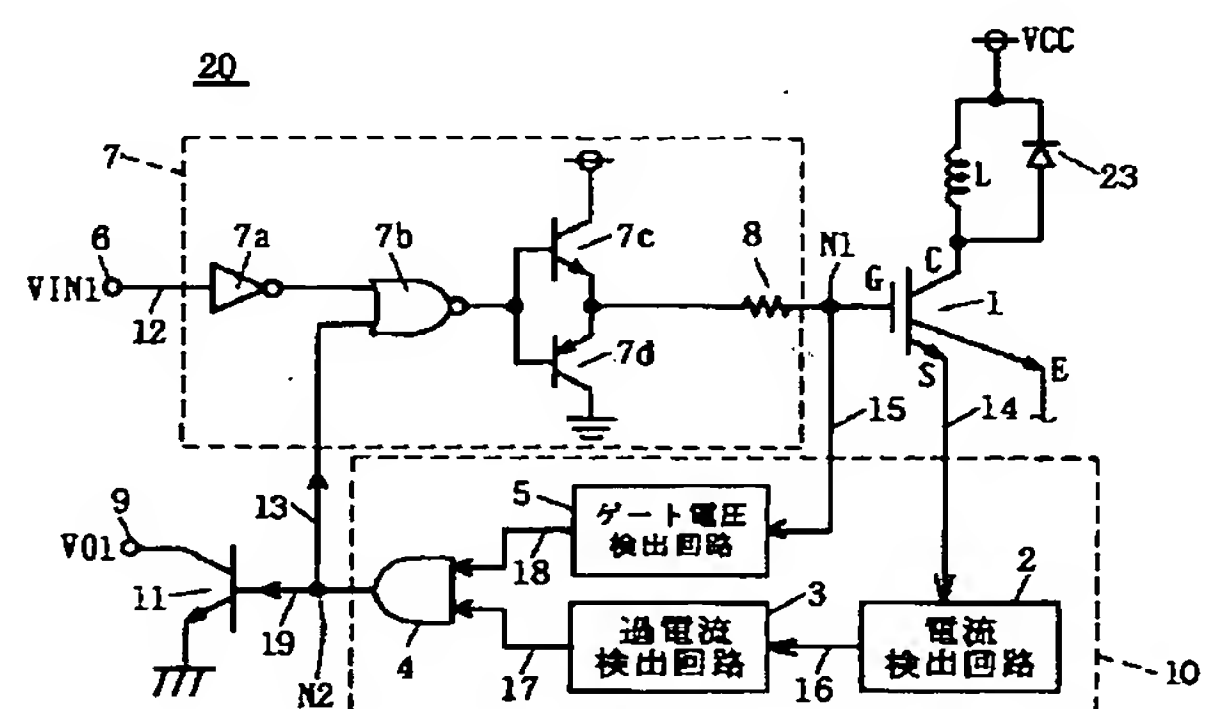
(74) 代理人 弁理士 吉田 茂明 (外2名)

(54) 【発明の名称】 半導体回路及びパワートランジスタ保護回路

(57) 【要約】

【課題】 パワートランジスタの過電流状態の検出をより早いタイミングで行うことにより、過電流時のターンオフサージ電圧の発生を抑える。

【解決手段】 IGBT1に流れる主電流を監視し、IGBT1の動作が過電流状態になり、且つ、IGBT1の制御端子Gに印加される制御電圧がそのしきい値電圧以上である時に、判定回路10は、IGBT1が過電流状態にあるものと判定し、IGBT1をオフ状態にすると共に、その判定結果を出力信号としてエラー出力端子9より外部のマイクロコンピュータへ出力する。この出力信号を受けて、当該マイクロコンピュータは、直ちにIGBT1及び他のIGBTの駆動信号をオフ信号レベルに固定してこれらのIGBTを遮断し、IGBT1の主電流がより大きな値の過電流になってしまうことからIGBT1を保護する。



(2)

特開平11-112313

【特許請求の範囲】

【請求項1】 負荷に接続された第1主電極と、第2主電極と、制御電極とを備え、前記制御電極に印加される制御電圧がしきい値電圧以上のときに前記第1主電極と前記第2主電極との間に主電流を流すパワートランジスタと、

交互に周期的に変動するオン信号レベルとオフ信号レベルとを有する入力信号を受信して伝達する入力信号線と、

前記入力信号線に接続された入力端と前記パワートランジスタの前記制御電極に接続された出力端とを備え、前記入力信号のレベルが前記オン信号レベルのときには前記入力信号の入力時からオン遅延時間だけ遅延した後に前記しきい値電圧以上の前記制御電圧を前記出力端より出力し、前記入力信号の前記レベルが前記オフ信号レベルのときには前記入力信号の入力時からオフ遅延時間だけ遅延した後に前記しきい値電圧未満の前記制御電圧を前記出力端より出力する、駆動回路と、

前記パワートランジスタの前記主電流と前記制御電圧とをその入力信号として受信して、前記制御電圧が前記しきい値電圧以上であり、且つ前記主電流が所定のしきい値電流以上にあることを検出したときに前記パワートランジスタが過電流状態にあると判定する判定回路とを備える、半導体回路。

【請求項2】 請求項1記載の半導体回路において、前記判定回路は、前記制御電圧と前記しきい値電圧との第1比較、及び前記主電流と前記しきい値電流との第2比較を実行し、前記第1比較の結果と前記第2比較の結果とに基づいて前記過電流状態の発生を判定することを特徴とする、半導体回路。

【請求項3】 請求項1又は2記載の半導体回路において、前記判定回路の出力端に接続され、前記判定回路の判定結果を与える出力信号をエラー検出信号として出力する出力信号線を更に備える、半導体回路。

【請求項4】 請求項3に記載の半導体回路において、前記入力信号線と前記出力信号線とに接続され、前記エラー検出信号が前記パワートランジスタが前記過電流状態にあることを示すときには、前記エラー検出信号の入力タイミングに応じて、前記入力信号のレベルを前記オフ信号レベルに固定する制御回路とを更に備える、半導体回路。

【請求項5】 請求項4に記載の半導体回路において、前記パワートランジスタと共に外部の負荷装置を駆動するための他のパワートランジスタと、前記制御回路にその入力端が接続され、前記制御回路が出力する、前記オン信号レベルと前記オフ信号レベルとを交互に変動する、他の入力信号を受けて、前記他のパ

ワートランジスタを駆動する他の駆動回路とを更に備え、

前記制御回路は、前記エラー検出信号が前記パワートランジスタが前記過電流状態にあることを示すときには、前記エラー検出信号の入力タイミングに応じて、前記他の入力信号のレベルを前記オフ信号レベルに固定することを特徴とする、半導体回路。

【請求項6】 請求項1乃至5の何れかに記載の半導体回路において、

前記駆動回路は前記判定回路の前記出力端にも接続されており、前記入力信号の前記レベルが前記オン信号レベルにあり且つ前記判定回路の前記判定結果が前記過電流状態の検出を与えるときには、前記しきい値電圧以上にある前記制御電圧を前記しきい値電圧未満の電圧に変更することを特徴とする、半導体回路。

【請求項7】 負荷に接続されたパワートランジスタを過電流状態から保護する回路であって、前記パワートランジスタの制御電圧を示す第1入力信号と前記パワートランジスタに流れる主電流を示す第2入力信号とに基づいて、前記主電流が前記過電流状態にあることを検出し、その検出結果を外部へ出力することを特徴とする、パワートランジスタ保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、パワートランジスタに流れる主電流が過電流状態になるのを検出する回路に関するものであり、更に過電流状態の検出に基づき、当該パワートランジスタ自身を過電流から保護するとともに、他のパワートランジスタの駆動をも制御する、半導体回路に関する。本発明は、例えば電動機のインバータ回路に適用可能な技術である。

【0002】

【従来の技術】

(従来の技術1)パワートランジスタの1つであるIGBTの、従来の過電流保護回路を、図11～図12に基づき説明する。

【0003】図11は、従来のIGBTの過電流保護回路を含む、IGBTの駆動回路装置のブロック図を示す。但し、図11の回路自体は本願出願人のノウハウ技術ないし内部技術に関しており、非公知のものである。

【0004】同図11において、符号1PはパワートランジスタであるIGBT(そのコレクタは図示しないインダクタンスとフリーホイールダイオードに接続されている)、2Pは電流検出回路、3Pは過電流検出回路(比較回路)、4Pは過電流判定回路(AND回路)、5Pはエラー出力端子、6Pは入力端子、7PはIGBT駆動回路、8Pはゲート抵抗、である。

【0005】ここで、本回路の特徴は、①過電流判定回路4Pの一方の入力端が、ノードN1Pで入力端子6Pに接続された入力信号線15Pに接続されている点、及

(3)

特開平11-112313

び②同回路4 Pの出力ノードN 2 Pより分岐した出力信号線1 3 PはI G B T駆動回路7 PのN O R回路の一方の入力端に接続されている点にある。

【0006】今、入力端子6 Pに” H” レベルの信号を入力すると、I G B T駆動回路7 Pは” H” レベルの信号を出力し、I G B T 1 Pのゲートはゲート抵抗8 を介して” H” レベルになり、I G B T 1 Pはオン状態になる。また、この状態から入力端子6 Pに” L” レベルの信号を入力すると、I G B T駆動回路7 Pは” L” レベルの信号を出力し、I G B T 1 Pのゲートはゲート抵抗8 を介して” L” レベルになり、I G B T 1 Pはオフ状態になる。この状態の変化を、図1 2 (a) ～ (g) のタイミングチャートに示す。

【0007】図1 2 (a) ～ (g) に示すように、入力端子6 Pにオン信号レベルである” H” レベルの入力信号を入力してからI G B T 1 Pがオフ状態からオン状態に変化するまでには、オン遅延時間O N Dがある。また、入力端子6 Pにオフ信号レベルである” L” レベルの入力信号を入力してからI G B T 1 Pがオン状態からオフ状態に変化するまでには、オフ遅延時間O F Dがある。これらの遅延時間O N D, O F Dの発生は、I G B T駆動回路7 Pに起因している。

【0008】今、入力端子6 Pに” H” レベルの入力信号を入力すると、I G B T 1 はオン遅延時間O N Dの経過後にオン状態となり、そのときにI G B T 1 Pに流れている電流は電流検出回路2 Pにより監視される。そして、I G B T 1 Pに流れている電流が過電流状態になったことを過電流検出回路3 Pが検出すると、そのときに入力信号がオン信号であるときにのみ、過電流判定回路4 Pは” H” レベルの信号を出力することにより、I G B T駆動回路7 Pの出力を” L” レベルに制御し、これによりI G B T 1 Pのゲートを遮断してI G B T 1 Pをオフ状態にする。と同時に、同回路4 Pは、エラー出力端子5 より外部へ、I G B T 1 Pが過電流状態であることを知らせる。図1 2では、このエラー出力状態は、3 回目のオン信号が入力している場合に過電流状態が発生し検出される状態として示されている。

【0009】ここでは、電流検出回路2 Pの構成には抵抗を用いているので、その抵抗の両端の電圧が過電流検出回路3 Pで設定されているしきい値電圧よりも大きくなった場合に、過電流検出回路3 Pは過電流状態を検出する。この抵抗での発生電圧を大きく設定すると当該抵抗でのパワーロスが大きくなるため、出来るだけ小さい電圧を発生させるよう当該抵抗の値を設定している。ところが、もしI G B T 1 Pがオフ状態にあるときに電流検出回路2 Pの抵抗にノイズが乗り、そのノイズが過電流検出回路3 Pの設定電圧以上であった場合には、ノイズを過電流として検出してしまう。これを防ぐためには、入力端子にオン信号レベルの入力信号が入力されているときにだけ過電流を検出するようにすれば、I G B

Tの動作がオフ時のときに、ノイズに起因して過電流状態を検出してしまうという誤判定の発生を防ぐことができる。そこで、図1 1の回路では、ノードN 1 Pと回路4 Pの一方の入力端とを信号線1 5 Pでつなぐことで、入力端子6 Pにオン信号レベル (” H” レベル) の入力信号が入力され、かつ、過電流検出器3 Pが過電流を検出したときに (” H” レベル出力)、過電流判定回路4 PはI G B T 1 Pが過電流状態にあると判定している。

【0010】(従来の技術2-先行文献) 又、先行文献によって公知となったパワートランジスタの過電流保護回路としては、例えば、①特開平7-183781号公報、②特開平6-276073号公報、③特開平6-276073号公報がある。

【0011】上記文献①では、I G B Tに流れる電流を電流検出抵抗で電圧値として検出し、過電流状態を検出したときにその電圧で以て制御サイリスタをオン状態とすることで、I G B Tに対してターンオフの指令を発している。

【0012】文献②では、I G B Tに流れる電流とI G B Tの駆動回路の入力信号の一部とに基づいて、I G B Tに流れる電流が短絡事故により過電流状態となったか否かを検出している。この機能は、上述した図1 1の回路のそれと等価である。但し、文献②では、I G B Tがオン状態にあるときに事故に起因して流れる過電流からI G B Tを保護することに、その主眼が置かれている。

【0013】又、文献③は、I G B Tに流れる電流のみを検出することで過電流状態の発生を判定し、これによりI G B Tの駆動電圧を制御している。本文献③もまた、オン時の短絡事故による過電流の検出に着眼点がある。

【0014】

【発明が解決しようとする課題】しかし、図1 1に示した過電流保護回路では、信号線1 5 Pを設けたことにより、新たな問題点を顕在化させるに至っている。この点を、図1 1及び図1 3 (a) ～ (g) のタイミングチャートを参照しつつ、以下に説明する。

【0015】今、入力信号がオン信号レベルである” H” レベルからオフ信号レベルである” L” レベルに変化し、I G B T 1 Pがオン状態からオフ状態に移行するオフ遅延時間O F Dが経過する前に (時刻T 1)、I G B T 1 Pに流れている電流が過電流状態になった場合を考える。このとき、電流検出回路2 PはI G B T 1 Pに過電流が流れていることを示す電圧を過電流検出回路4 Pの入力端に出力し、その結果、回路4 Pは” H” レベルの出力信号を出力するが、この時点では入力信号がオフ信号レベルである” L” レベルにあるため、過電流判定回路4 PはI G B T 1 Pに流れている電流が過電流であるとは認識せず、I G B T 1 Pが過電流状態にあるという判定結果、つまりエラー出力を外部に知らせることができないという事態が生ずる。その結果、その時刻T

(4)

特開平11-112313

1以後も入力信号の供給は遮断されないこととなり、その後再び入力信号がオン信号レベルに変化すると、過電流判定回路4Pは、再びIGBT1Pがオン状態になり過電流が流れたときのタイミング、即ち、時刻T2において、ようやく外部へ過電流状態の発生を知らせることが可能となる。その結果、外部から供給される入力信号は、それ以降になってオフ信号レベルに固定される。このため、主電流がより一層大きな電流値となった、時刻T2の状態ではIGBT1Pをターンオフすることとなるので、大きなサージ電圧が必然的に発生してしまう。しかも、そのタイミングで図示しないオン状態にある他のIGBTをもターンオフすることになってしまう。

【0016】このような問題点は、既述した先行文献①～③においても同様に生ずるが、これらの文献①～③では、そのような問題点は提示されていない。しかも、先行文献①では、IGBTがオフ時に、ノイズによって誤った過電流状態の検出を外部へ出力してしまうという問題点が未解決のまま残ってしまう。従って、これらの文献①～③は本問題点の解決手段にはならない。

【0017】図11～図13の例で説明したように、従来の過電流保護回路では、入力信号がオン信号であり、かつ、過電流検出器（抵抗）が過電流状態を検出したときに、エラー出力端子よりパワートランジスタが過電流状態であることを外部に知らせているため、パワートランジスタがオン動作からオフ動作へと移行するまでの間に過電流状態が発生したときには、その発生タイミングにおいて、過電流状態の発生を検出することができず、次のオン信号レベルの入力信号の入力後、オン遅延時間だけ経過した時点、即ち、再びパワートランジスタが過電流状態になった時点で、ようやく過電流状態が検出され、その結果が外部へ知らせるといった事態が生じている。この検出タイミングの遅延は、その間にパワートランジスタに流れる電流値が上昇するので、当該主電流の値が過電流検出レベル（基準レベル）よりも更に一層大きな電流値となった状態ないしタイミングにおいて、当該パワートランジスタをターンオフ状態へと制御してしまうという事態をもたらす。

【0018】かかる問題点は、負荷がモータ等の負荷装置のインダクタンス成分の場合のみならず、負荷が抵抗の場合にも生じうる問題点であり、パワートランジスタを用いたスイッチング回路において過電流が発生するときに一般的に生じうる問題点とも言える。

【0019】本発明は、かかる懸案事項を解決すべくなされたものである。

【0020】その第1の目的とするところは、パワートランジスタがオン動作時にある場合のみならず、パワートランジスタがオン動作からオフ動作へ移行するときにおいても、過電流状態が発生したときには、その発生タイミングにおいて確実に過電流状態の検出を可能とし、且つその発生タイミング近傍においてパワートランジスタ

自身をそれ以降遮断し続けて、大きなサージ電圧の発生を防止すると共に、パワートランジスタを過電流からより早い時期に保護することにある。

【0021】更に第2の目的は、そのタイミングで、検出した過電流状態の発生をエラーとして他のパワートランジスタの駆動制御系へ知らせることである。

【0022】そして、上記制御系を介して他のパワートランジスタをも同様に遮断し、他のパワートランジスタにおけるターンオフ時のサージ電圧をも抑制することにある。

【0023】

【課題を解決するための手段】請求項1に記載の発明の半導体回路は、負荷に接続された第1主電極と、第2主電極と、制御電極とを備え、前記制御電極に印加される制御電圧がしきい値電圧以上のときに前記第1主電極と前記第2主電極との間に主電流を流すパワートランジスタと、交互に周期的に変動するオン信号レベルとオフ信号レベルとを有する外部の入力信号を受信して伝達する入力信号線と、前記入力信号線に接続された入力端と前記パワートランジスタの前記制御電極に接続された出力端とを備え、前記入力信号のレベルが前記オン信号レベルのときには前記入力信号の入力時からオン遅延時間だけ遅延した後に前記しきい値電圧以上の前記制御電圧を前記出力端より出力し、前記入力信号の前記レベルが前記オフ信号レベルのときには前記入力信号の入力時からオフ遅延時間だけ遅延した後に前記しきい値電圧未満の前記制御電圧を前記出力端より出力する、駆動回路と、前記パワートランジスタの前記主電流と前記制御電圧とをその入力信号として、前記制御電圧が前記しきい値電圧以上であり、且つ前記主電流が所定のしきい値電流以上にあることを検出したときに前記パワートランジスタが過電流状態にあると判定する判定回路とを備える。

【0024】請求項2に記載の発明では、請求項1記載の半導体回路において、前記判定回路は、前記制御電圧と前記しきい値電圧との第1比較、及び前記主電流と前記しきい値電流との第2比較を実行し、前記第1比較の結果と前記第2比較の結果とに基づいて前記過電流状態の発生を判定することを特徴とする。

【0025】請求項3に記載の発明では、請求項1又は2記載の半導体回路において、前記判定回路の出力端に接続され、前記判定回路の判定結果を与える出力信号をエラー検出信号として出力する出力信号線を更に備えることを特徴とする。

【0026】請求項4に記載の発明では、請求項3に記載の半導体回路において、前記入力信号線と前記出力信号線とに接続され、前記エラー検出信号が前記パワートランジスタが前記過電流状態にあることを示すときには、前記エラー検出信号の入力タイミングに応じて、前記入力信号のレベルを前記オフ信号レベルに固定する制御回路とを更に備えることを特徴とする。

(5)

特開平11-112313

【0027】請求項5に記載の発明では、請求項4に記載の半導体回路において、前記パワートランジスタと共に外部の負荷装置を駆動するための他のパワートランジスタと、前記制御回路にその入力端が接続され、前記制御回路が出力する、前記オン信号レベルと前記オフ信号レベルとを交互に変動する、他の入力信号を受けて、前記他のパワートランジスタを駆動する他の駆動回路とを更に備え、前記制御回路は、前記エラー検出信号が前記パワートランジスタが前記過電流状態にあることを示すときには、前記エラー検出信号の入力タイミングに応じて、前記他の入力信号のレベルを前記オフ信号レベルに固定することを特徴とする。

【0028】請求項6に記載の発明では、請求項1乃至5の何れかに記載の半導体回路において、前記駆動回路は前記判定回路の前記出力端にも接続されており、前記入力信号の前記レベルが前記オン信号レベルにあり且つ前記判定回路の前記判定結果が前記過電流状態の検出を与えるときには、前記しきい値電圧以上にある前記制御電圧を前記しきい値電圧未満の電圧に変更することを特徴とする。

【0029】請求項7に記載の発明は、負荷に接続されたパワートランジスタを過電流状態から保護する回路であって、前記パワートランジスタの制御電圧を示す第1入力信号と前記パワートランジスタに流れる主電流を示す第2入力信号とに基づいて、前記主電流が前記過電流状態にあることを検出し、その検出結果を外部へ出力することを特徴とする。

【0030】

【発明の実施の形態】既述した問題点を解決するために、本実施の形態に係る半導体回路では、①パワートランジスタの制御電極に印加される制御電圧がそのパワートランジスタのしきい値電圧以上であり、かつ、②過電流検出器が過電流状態を検出したときに、パワートランジスタが過電流状態にあるものと判定し、かつ、その検出タイミングに応じて当該パワートランジスタ及び他のパワートランジスタを遮断するように構成している。これにより、当該パワートランジスタを過電流状態の発生後より早い時期において過電流から保護することが可能になる共に、大きなターンオフサージ電圧の発生が抑えられる。以下、本半導体回路のかかる特徴を添付図面に基づき具体的に説明する。

【0031】（実施の形態1）図1は、三相交流モータM（負荷装置に該当）を駆動するためのインバータ回路として用いられる場合の、本発明に係る半導体回路を示すブロック図である。

【0032】同図1に示す通り、本半導体回路は、第1インバータ回路部INVU、第2インバータ回路部INVV、第3インバータ回路部INW及びマイクロコンピュータ21とに大別される。各インバータ回路部INVU～INWは、三相交流モータMの各コイルないし

各インダクタンス成分LU、LV、LWに接続された出力端子U、V、Wを有しており、各回路部INVU～INW内の回路構成は同一である。そのため、図1では、便宜上、第1インバータ回路部INVUについてのみ、その内部構成を示している。

【0033】各インバータ回路部INVU～INWの内部構成は、対応する出力端子U（V、W）において互いに接続された、高電位側のスイッチング素子としてのパワートランジスタ1Aと、低電位側のスイッチング素子としてのパワートランジスタ1とに対応して、2つの過電流保護回路に大別される。尚、ここでは、パワートランジスタはいずれもIGBTであり、特に図1の例では、センス端子S付きのものである。上記の両保護回路での相違点は、IGBT1のコレクタ端子Cが出力端子Uを介してモータM側のインダクタンス成分（L）とフリーホイールダイオード23とに接続されているのに対して、他のIGBT1Aの方では、そのエミッタ端子Eが出力端子Uを介してモータM側のインダクタンス成分（L'）とフリーホイールダイオード23Aとに接続されている点にあり、それ以外の点は両保護回路では同一である。そこで、以下では、過電流からIGBT1を保護するための保護回路20について、その構成とその動作を後述する図2以下の図面において説明することとし、IGBT1Aの保護回路内の各要素は、同回路20内の対応する各要素の符号の右側に記号Aを付することによって表わしている。

【0034】保護回路20（20A）は、入力端子6（6A）とエラー出力端子9（9A）とを有しており、マイクロコンピュータ22、主としてその制御部22（CPU等より成る）より出力される入力信号VIN1（VIN1A）を、その入力端子6（6A）において受信する。又、そのエラー出力端子9（9A）より、保護回路20は、パルス信号であるエラー検出信号VO1（VO1A）を出力する。ここでは、同検出信号VO1（VO1A）は一旦タイマ24に入力され、タイマ24は、信号VO1（VO1A）のパルスのduration timeを適切な値に調節した上で、再びそれをエラー検出信号VO11（VO1A1）として制御部22へ出力する。

【0035】このエラー検出信号VO11（VO1A1）の入力を受けて、制御部22は、IGBT1及びそれ以外の他のIGBTのゲートを遮断してそれ以降、これらのIGBTを全てオフ状態に固定すべく、それらのIGBT（1、1A、…）を駆動している各インバータ回路部内のIGBT駆動回路7（7A）に対して、オフ信号レベル（"L"）に固定された入力信号VIN1～VIN3Aを直ちに出力する。

【0036】各保護回路のIGBTの負荷の値は、全てのIGBTの駆動制御いかんによって定まり、インダクタンス成分LU、LV、LWに基づき個々に定まる。そして、各IGBT1（1A）の負荷とそれに並列接続さ

(6)

特開平11-112313

れるフリーホイールダイオード23(23A)との存在によって、各IGBT1(1A)がオフ状態となっても、再びIGBT1(1A)がオン状態に戻るまでの期間中は、主電流が各IGBT1(1A)とそれに対応するフリーホイールダイオード23(23A)とで構成される閉ループ内を流れ続けることになるので、再び各IGBT1(1A)がオン状態になると、理想的には、オフ状態中に上記閉ループ内を流れていたときの電流値のレベルを出発点として(実際には多少レベルが下がる)、主電流が増加することになる(図7(c)参照)。このため、各IGBT1(1A)に流れる主電流は、入力信号がオン、オフを繰り返す毎に増大することとなり、やがては主電流のレベルが過電流検出レベルを越えるという状態が発生する。

【0037】そこで、この状態をその発生タイミングにできる限り近いタイミングで検出し(理想的には同時)、かつ、この情報を直ちにマイクロコンピュータ21へ伝えて各IGBTを出来る限り早いタイミングで遮断してしまうことが、過電流状態となった当該IGBT1の保護のため及び、当該IGBT1(1A)におけるターンオフ時のサージ電圧の低減化という観点から、必要となる。この要求を、図1の保護回路20は次に述べる通り実現している。

【0038】図2において、主たる参照符号はそれぞれ次のものを示す。即ち、1はパワートランジスタであるIGBT、2は電流検出回路、3は過電流検出回路、4は過電流判定回路、5はIGBT1の制御電極であるゲートGに印加される電圧を検出するゲート電圧検出回路、6は入力端子、7はIGBT駆動回路、8はゲート抵抗、9はエラー出力端子、10は判定回路、12は入力信号線、19は出力信号線である。

【0039】図2に示すパワートランジスタの過電流保護回路20のより詳細な構成は、次の通りである。

【0040】先ず、パワートランジスタであるIGBT1のコレクタ端子Cは、図1に示したフリーホイールダイオード23と並列に接続された負荷、即ちインダクタンスLの一端に接続されている。インダクタンスLの他端は電源電圧VCCの直流電源に接続されている。このインダクタンスLは、図1に示す三相モータMの各コイルの励磁状態に基づき(それは、既述した第1～第3インバータ回路部INVU～INVW内の各パワートランジスタのON、OFF状態に依存する)、従ってインダクタンス成分LU、LV、LWに基づき定まる負荷である。他方、IGBT1のエミッタ端子Eは、図1に示す通りに、接地されている。又、IGBT1のゲートGは、IGBT駆動回路7の出力端子N1に接続されている。このゲートGに印加される制御電圧のレベルに応じて、IGBT1のオン・オフ動作は制御される。即ち、制御電圧がIGBT1のしきい値電圧以上のときにはIGBT1の動作はオン状態となり、そのコレクタC－エ

ミッタE間に主電流が流れる。ここでは、IGBT1はセンス端子Sを有しているため、センス端子Sを介して主電流のレベルを検出することが可能である。

【0041】以上の通り、図2の回路20では、IGBT1のコレクタ端子ないしコレクタ電極Cが「第1主電極」に、ゲートGが「制御電極」に、エミッタ端子ないしエミッタ電極Eが「第2電極」に、それぞれ該当する。

【0042】IGBT駆動回路7の構成は次の通りである。即ち、入力端子6にその一端が接続された入力信号線12の他端が、同回路7の入力端をなすインバータ7aの入力端に接続されている。ここで、入力信号線12は、入力端子6で受信した、交互に周期的にオン信号レベル(“H”レベル)とオフ信号レベル(“L”レベル)との間でレベル変動を行う入力信号VIN1(図1)を本回路20内に入力して、IGBT駆動回路7へ伝送する。IGBT駆動回路7のインバータ7aの出力端は、NOR回路7bの第1入力端に接続される。NOR回路7bの第2入力端は、後述する判定回路10の出力端であるノードN2にその一端が接続された第2出力信号線13の他端に接続されている。更にNOR回路7bの出力端は、NPNトランジスタ7cとPNPトランジスタ7dとから成るバッファ回路の入力端(各トランジスタ7c、7dのベース)に接続され、バッファ回路の出力端はゲート抵抗8を介してIGBT1のゲートGないしノードN1に接続されている。IGBT駆動回路7は、入力信号VIN1が“L”レベルから“H”レベルに立上がったときには、その立ち上がりタイミングからオン遅延時間だけ経過した時点で、“H”レベルの制御電圧をゲートGに印加する。逆に、入力信号VIN1が“H”レベルから“L”レベルに立下がったときには、その立ち下がりタイミングからオフ遅延時間だけ経過した時点で、同駆動回路7は制御電圧を“L”レベルへと変化させる。

【0043】尚、モータないし負荷側の定格容量の増大に応じて駆動回路7のバッファ回路等の段数を増加させるときには、それに応じて上記オン遅延時間、オフ遅延時間も増大する。通常、同回路7のバッファ回路等の段数は1段から2段である。

【0044】判定回路10は、本保護回路20の中核をなす部分であり、その第1入力端はゲート電圧検出回路5の入力端であり、その第2入力端は電流検出回路2の入力端にあたる。即ち、IGBT1のセンス端子Sにその一端が接続され、IGBT1の主電流を伝送する主電流入力信号線(第2入力信号線)14の他端は、電流検出回路2の入力端に接続されており、ノードN1に一端が接続され、制御電圧を与える信号を伝送するゲート電圧入力信号線(第1入力信号線)15の他端は、ゲート電圧検出回路5の入力端(第1入力端)に接続されている。そして、電流検出回路2の出力信号線16は、過電

(7)

特開平11-112313

流検出回路3の入力端(第1入力端)に接続され、過電流検出回路3の出力信号線17及びゲート電圧検出回路5の出力信号線18は、AND回路より成る過電流判定回路4の第1入力端及び第2入力端にそれぞれ接続されている。そして、過電流判定回路4、従って、判定回路10の出力端であるノードN2に一端が接続され、NP Nトランジスタ11を介して、その他端がエラー出力端子9に接続された、第1出力信号線19は、IGBT1の過電流状態の判定結果を与えるエラー検出信号(図1では、出力信号VO1, VO1Aに該当)を伝送し、これを外部へ出力する。又、出力端ノードN2において第1出力信号線19から分岐した第2出力信号線13は、前述の通り、NOR回路7bの第2入力端へ過電流状態の判定結果を伝送する。

【0045】電流検出回路2は、図3に示す通り、その一端が出力端をなし、その他端が接地された電流検出抵抗Rより成る。この抵抗Rの値は、図11の回路の場合と同様に、抵抗Rでのパワーロスを低減させるという観点から、出来るだけ小さい電圧を発生させるように、設定されている。

【0046】過電流検出回路3は、図4に示すように、第2比較処理をなす第2比較器C2より成る。同比較器C2の第1入力端は出力信号線16に接続されており、その第2入力端には、主電流が過電流の状態になったか否かの判定基準としての、しきい値電流に相当する第2しきい値電圧VTH2(過電流検出レベル)が与えられている。従って、第2比較器C2は、出力信号線16の電圧が第2しきい値電圧VTH2以上のときに、過電流状態の発生を与える、“H”レベルの出力信号を出力する(第2比較)。そうでないときは、第2比較器C2は“L”レベルの出力信号を出力するのみである。

【0047】ゲート電圧検出回路5は、図5に示すように、第1入力端に上記信号線15を入力し、その第2入力端にIGBT1のしきい値電圧に相当する第1しきい値電圧VTH1が印加された、第1比較器C1を有する。同比較器C1も、出力信号線15の電圧が第1しきい値電圧VTH1以上のときにのみ、IGBT1の制御電圧がIGBT1のしきい値電圧以上にあること、即ち、IGBT1が現にオン動作状態にあることを与える、“H”レベルの出力信号を出力する(第1比較)。

【0048】尚、判定回路10中、上記回路3～5から成る部分は、変形例として後述する図9や図10の回路においては、回路10Pとして表示されている。

【0049】一方、図6は、図1の各インバータ回路部INVU～INVWに関して、対応する出力端子U、V又はWにおいてIGBT1に接続された他のIGBT1A用の、過電流に対する保護回路20Aを示すブロック図である。同回路20Aの場合には、他のIGBT1AはIGBT1に対して高電位側のスイッチング素子をなしているため、そのエミッタ端子ないしエミッタ電極E

が負荷L'に接続された「第1主電極」をなし、そのコレクタ端子ないしコレクタ電極Cが「第2主電極」に該当する。この定義は、図2のIGBT1のそれとは逆の関係となる。図6中では、図2の対応する回路の符号の右側に記号Aを付けて、各回路を表わしている。

【0050】以上のように、同回路20Aは、図2の回路20と比較して、負荷とIGBTとの接続関係が変わっているだけなので、回路20と同一の作用・機能を発揮する。そこで、以下では、図2の回路について、その動作を説明することとする。

【0051】(1) オン動作からオフ動作への移行中に過電流が流れる場合
このときの動作を図7(a)～図7(h)のタイミングチャートに示す。

【0052】入力端子6にオン信号レベルである“H”レベルの入力信号VIN1が入力されると、オン遅延時間経過後に制御電圧は“H”レベルに立上がり、IGBT1がオン状態になり、IGBT1に主電流が流れる。そして、その主電流のレベルを電流検出回路2は監視している。

【0053】ここで、入力端子6にオフ信号レベルである“L”レベルの入力信号VIN1が入力され、その後、IGBT1がオフ状態となるまでのオフ遅延時間OFFDが経過する前の時刻T1において、IGBT1に流れている主電流のレベルが過電流検出レベルに至る場合を考える。このとき、①過電流検出回路3が過電流を検出し、“H”レベルの出力信号を出力する。しかも、②IGBT1のゲートGに印加されている制御電圧は、時刻T1においてもIGBT1のしきい値電圧より大きい状態にあるので、この状態をゲート電圧検出回路9が検出して“H”レベルの出力信号を出力する。その結果、過電流判定回路4は“H”レベルの出力信号を出力し、その出力信号は、トランジスタ11によってレベル的に反転された上で、過電流状態の発生を与えるエラー検出信号として、エラー出力端子9より外部のマイクロコンピュータ側へと送信され、マイクロコンピュータ21(図1)に、IGBT1が過電流状態にあるという情報が、時刻T1近傍のタイミングにおいて知らされる。

【0054】これを受けて、図1のマイクロコンピュータ21(ないし制御部22)は、IGBT駆動回路7及び他の全てのパワートランジスタの駆動回路へ、オフ信号レベルにそのレベルが固定された入力信号VIN1, VIN1A, VIN2, VIN2A, VIN3, VIN3Aをそれぞれ出力して、これらのパワートランジスタの全てを直ちにターンオフ状態へと遮断し、かつその遮断状態を維持する。但し、パワートランジスタ1は、時刻(T1+t1)の時点で既にオフ状態にある。

【0055】この場合、IGBT駆動回路7のNOR回路7bの出力レベルは、入力信号VIN1、従ってインバータ7aの出力レベルによって“L”レベルに確定さ

(8)

特開平11-112313

れているので、第2出力信号線13上の電圧が過電流状態の検出によって“L”レベルから“H”レベルへと変わっても、その変動はIGBT駆動回路7に対しては何ら影響を及ぼさない。つまり、IGBT1は、オフ信号レベルの入力信号VIN1の入力後、オフ遅延時間OFDが経過した時点で、従って、時刻T1から時刻t1だけ経過した時点でオフ状態となり、以後、エラー検出信号VO11を受けた制御部22によって入力信号VIN1が“L”レベルに固定され続けるので、主電流は流れなくなる。その際、エラー検出信号VO1のパルスのduration timeは図7(g)に示すように短くなるため、マイクロコンピュータ21側で検出可能となるように、図1に示したようにタイマ24を設けて、エラー検出信号VO1のパルスのduration timeを長く設定している点は、既述した通りである。

【0056】このように、本回路20によれば、従来の技術では得られなかった作用・効果が得られる。即ち、本回路20は、入力信号がオン信号レベルからオフ信号レベルへと変化した後、オフ遅延時間の経過前にIGBT1が過電流状態になったときには、その発生と同一のタイミングで当該過電流状態を即座にかつ確実に検出することができる。そして、本回路20は、その検出結果を直ちに外部のマイクロコンピュータ21側へ出力して、過電流状態の発生後、より早いタイミングにおいて（そのタイミングは入力信号VIN1が再びオン信号レベルへと変化する前である）、当該IGBT1において過電流状態が発生したことを外部のマイクロコンピュータ21に知らせることができる。これにより、外部のマイクロコンピュータ21側ないし制御部22は、入力信号VIN1が再びオン信号レベルへと変化する前にIGBT1を遮断させるべく、直ちに入力信号VIN1のレベルをオフ信号レベル（“L”）に固定して、時刻（ $T1+t1$ ）におけるIGBT1の主電流（それは過電流検出レベルよりも少し大きい）以上の主電流がIGBT1に流れないようにすることができる。即ち、IGBT1を過電流状態からより早い時期に保護し、かつターンオフ時のサージ電圧の増大化を防止することができる。且つ、マイクロコンピュータ21は、三相モータMの駆動に用いられている他のIGBTの遮断をも同一タイミングで行うことができ、IGBT1の過電流状態の発生の検出後、より早い時期において他のIGBTを確実に遮断することができる。

【0057】加えて、本回路20では、IGBT1がオフ動作状態にあるときに、ノイズ信号の入力により“H”レベルの出力信号が出力信号線17上に生じて、出力信号線18上の電圧レベルは“L”レベルのままであるため、エラー検出信号VO1は“H”レベルのままである。即ち、オフ時のノイズに起因した過判定発生の防止という、図11の回路でも実現されていた機能が、ここでもそのまま実現されている。

【0058】(2) オン動作時に過電流状態が発生した場合

この場合の本回路20の動作を図8(a)～(h)のタイミングチャートに示す。

【0059】同図8(a)～(h)に示されている通り、本回路20によっても、図11の回路と同様の機能が実現されている。即ち、この場合には、図2の判定回路10は、(i) IGBT1がオン状態にある間に、上昇し続けるIGBT1の主電流が過電流検出レベルにまで到達した時刻T1のタイミングにおいて過電流状態の発生を検出し、その判定結果を外部へエラー検出信号VO1として出力するのみならず、(ii) 第2出力信号線13上の信号を“H”レベルへと立上げてそれをIGBT駆動回路7のNOR回路7bに入力することで、更に遅延時間t1の経過後の、主電流が過電流検出レベルからわずかにしか上昇していないタイミングにおいて、オン動作にあるIGBT1自身を強制的にオフ動作に制御して過電流を遮断し、これにより、より早いタイミングでIGBT1を保護するという機能をも発揮する。

【0060】そして、マイクロコンピュータ21（ないし制御部22）は、時刻T1から、入力信号VIN1が再び立上がる時刻T2までの間に、エラー検出信号VO11（図1）に応じて、入力信号VIN1のレベルを“L”レベルに固定する。これにより、時刻T2以降、IGBT1は遮断され続ける。又、マイクロコンピュータ21によって他のIGBT用の入力信号のレベルも全て同一タイミング時に“L”レベルに設定され、時刻T2以降、他のIGBTも同様に遮断され続ける。

【0061】この様に、本回路20は、従来技術で実現されていた機能の全てをも有しているのである。

【0062】以上の(1)、(2)で述べた動作と図1、図6の回路構成とから本発明の判定回路10を定義付けるならば、次の通りに定義付けできる。即ち、判定回路10は、パワートランジスタの主電流とその制御電圧とをその入力信号として受け取り、(i) 制御電圧が当該パワーのしきい値電圧以上であり（第1比較）、かつ、(ii) 主電流が所定のしきい値電流（過電流検出レベル）以上である（第2比較）ことを検出したときに（論理積）、当該パワートランジスタが過電流状態にあると判定して、その判定結果をエラー検出信号として出力信号線19を介して外部の制御系（21、22）へ出力する回路である。そして、判定回路10の出力端は、IGBT駆動回路9にも接続されており、入力信号VIN1のレベルがオン信号レベル（“H”）にあるときにIGBT1の過電流状態の発生を検出したときには、IGBT1のしきい値電圧以上にある制御電圧をしきい値電圧未満の電圧に変更する様に、IGBT駆動回路7を制御する機能をも有している。

【0063】以上のように、本実施の形態に係るパワートランジスタの過電流保護回路は、

(9)

特開平11-112313

①パワートランジスタの制御電圧がそのパワートランジスタのしきい値電圧以上であり、かつ、②過電流検出器が過電流状態を検出したときに（つまり、両条件①、②が共に満たされたタイミング時に）、パワートランジスタが過電流状態であると判定し、かつその判定結果を外部に知らせるといふ、動作を行う。これにより、マイクロコンピュータは、当該過電流状態発生タイミングにできる限り近いタイミングで各入力信号VIN1～VIN3A（図1）のレベルをオフ信号レベルに固定することができ、当該パワートランジスタ及び他のモータ駆動用パワートランジスタの全てをターンオフへと強制的に制御することが可能となり、従来よりも小さい値の主電流が流れている状態で各パワートランジスタが遮断されるので、ターンオフ時のサージ電圧を従来よりも格段に小さくすることが可能となる。

【0064】（変形例1）実施の形態1では、図1～図2及び図6に示したように、IGBT1はセンス端子Sを有するものであったが、本発明の半導体回路におけるパワートランジスタはこのようなセンス付IGBTに限定されるものではない。例えば、センス端子のないIGBTをパワートランジスタとして用いて、パワートランジスタの過電流保護回路を図2と同様に構成することもできる。

【0065】そのような一例を図9に例示する。図9では、便宜上、図1に示した第1インバータ回路部INVUに関する変形例を示しているが、図9に示した回路INVU1の構成は同様に図1の第2、第3インバータ回路部INVV、INVWにも適用される。

【0066】この変形例においても、実施の形態1で述べた作用・効果が同様に得られることは言うまでもない。

【0067】（変形例2）実施の形態1及びその変形例1では、負荷は図1のモータMの各コイルLU～LWに基づき定まるインダクタンスLであったが、負荷は例えば図10に示すように抵抗25であっても良い。負荷が抵抗25である場合には、IGBT1がオン時には抵抗25に流れる主電流は単調に増加するのみで、IGBT1がオフ時には主電流は流れなくなるので、再びIGBT1がオンとなったときには、負荷がインダクタンスの場合のような主電流の累積的な上昇を生じない。しかし、この場合においても、ノイズ信号や外部電圧の変動等による影響を受けて、IGBT1がオン時のみならず、オン状態からオフ状態へ移行する時においても過電流が流れる場合がありうるので、負荷が抵抗である場合にも、本発明の半導体回路の適用により実施の形態1と同様な作用・効果が得られ、有益なパワートランジスタの過電流保護回路を構成することができる。

【0068】尚、図10に例示した回路は図2に対応するものであり、同一符号のものは同一のものを示す。

【0069】（変形例3）パワートランジスタとしては

IGBTに限定されるものではなく、例えばパワーMOSFET等の絶縁ゲート型スイッチング素子をパワートランジスタとして用いることができる。

【0070】（変形例4）図1の例では、各インバータ部INVU～INVW毎に個別の入力信号をマイクロコンピュータ21側から出力していたが、各インバータ部への入力信号を全て同一の入力信号とすることもできるし（この場合、入力信号VIN1とその他の入力信号VIN1A～VIN3Aとは同一信号となる）、複数のインバータ部への入力信号のみを同一の入力信号とし、その他の入力信号は個別に設定するようにしても良い。この意味で、「他の入力信号」とは「入力信号」と同一信号となるケースを含む概念として定義される。

【0071】

【発明の効果】請求項1に係る発明によれば、次のような作用・効果が得られる。

【0072】オン信号レベルの入力信号が入力されると、当該入力後からオン遅延時間だけ経過したときにパワートランジスタはオン動作状態となり、主電流が負荷を介して流れ出し、主電流は増大する。その後、入力信号のレベルがオン信号レベルからオフ信号レベルに変動すると、その変動時からオフ遅延時間だけ経過したタイミングでパワートランジスタはオフ動作状態となり、主電流は流れなくなり、その後、再び入力信号レベルがオン信号レベルへと変動すると、その時からオン遅延時間だけ経過したタイミングで更に大きな電流値の主電流が流れ始め、このような状態が交互に繰り返されることとなる。

【0073】今、入力信号のレベルがオン信号レベルからオフ信号レベルに変動して、そのときからオフ遅延時間だけ経過する前の第1タイミングで、主電流の電流値がしきい値電流以上の値に達しているものとする。このとき、駆動回路が出力する制御電圧は、いまだ、しきい値電圧以上であり、主電流は流れているので、判定回路は、当該タイミングにおいて、パワートランジスタが過電流状態にあることを検出する。その後、オフ遅延時間だけ経過した第2タイミングにおいて、制御電圧はしきい値未満となり、パワートランジスタはオフ状態となる。

【0074】このように、本発明によれば、外部から供給される入力信号のレベルがオン信号レベルからオフ信号レベルに変化した後、オフ遅延時間だけ経過する前に主電流が過電流レベル以上に達したことを、その到達時点（上記第1タイミング）において、即座にかつ正確に検出することができるという効果がある。

【0075】他方、本発明によれば、オン信号レベルにある入力信号の入力状態中に、増大する主電流が過電流レベル以上に到達したときにも、判定回路は、その到達タイミングにおいて、即座にかつ確実に過電流状態の発生を検出することができる。

(10)

特開平11-112313

【0076】特に請求項2に係る発明によれば、判定回路は第1及び第2比較処理を通じてかかる判定を実行しているため、比較回路を用いて判定回路を形成することができ、簡単で実用的な回路で、本回路を構成することができる。

【0077】更に請求項3に係る発明によれば、増大する主電流のレベルが過電流レベルに到達した場合、それがオン状態中に生じた場合のみならず、オフ遅延時間経過前に生じた場合においても、各到達タイミングにおいて、確実に当該パワートランジスタの過電流状態の発生をエラーとして外部へ出力することができ、外部側では、このエラー検出信号の出力タイミングに基づいて様々な処理、例えばパワートランジスタを完全にオフ状態へと遮断してパワートランジスタを過電流からより早い時期に保護するという処理を実行することが可能となる。

【0078】請求項4に係る発明によれば、エラー検出信号を受けて制御回路は入力信号のレベルをオフ信号レベルに固定するので、以後、パワートランジスタはオフ状態に固定され続ける。このように、エラー検出信号の出力タイミング以後、より早い時期にパワートランジスタを強制的に遮断することができるので、従来のように、より大きな主電流が流れる状態となっている、当該過電流状態発生後の次のオン状態でパワートランジスタを強制的に遮断してしまうという事態を防止することができ、パワートランジスタのターンオフサージ電圧をより低減化することができ、且つパワートランジスタを大きな過電流から確実に保護することができる。

【0079】特に請求項5に係る発明によれば、主電流が過電流レベルに達したタイミングに応じて、制御回路は入力信号のレベルと共に他の入力信号のレベルをもオフ信号レベルに固定するため、その後、他のパワートランジスタも同一タイミングでオフ状態に遮断されることとなる。即ち、パワートランジスタが過電流状態に達したタイミング後、より早いタイミングで、従って、流れている主電流が比較的小さい状態において、他のパワートランジスタの動作をも強制的にオフ状態に固定することができ、これにより、より一層大きな主電流が流れることとなる、当該エラー検出信号出力タイミング後のオン状態にある別のタイミングで他のパワートランジスタを遮断してしまうという事態の発生をも確実に防止することが可能となり、他のパワートランジスタ側のターンオフ時においても、大きなサージ電圧の発生を防止することができる。

【0080】更に、請求項6に係る発明によれば、入力信号がオン信号レベルの状態にあるときに主電流が過電流レベルに到達したときに、オン状態にある当該パワー

トランジスタを強制的にオフ状態に制御することができ、より早い時期にパワートランジスタを過電流から保護することができる。

【0081】請求項7に係る発明によれば、主電流のレベルのみならず、制御電圧のレベルをも用いて過電流状態の発生を検出しているため、過電流状態の発生を、それがいかなる場合に発生しようとも、誤判定なく正確に検出することができる。しかも、その検出タイミング時にその結果を外部へ出力しているため、外部側では、その出力タイミングに応じてより早いタイミングでパワートランジスタを遮断する処理をとることが可能となり、大きなサージ電圧の発生を防止してパワートランジスタを過電流から保護することができる。

【図面の簡単な説明】

【図1】 この発明の半導体回路に係る、実施の形態1のシステム構成を示すブロック図である。

【図2】 図1の回路におけるパワートランジスタの過電流保護回路に該当する一部分を示す図である。

【図3】 図2の電流検出回路の構成例を示す図である。

【図4】 図2の過電流検出回路の構成例を示す図である。

【図5】 図2のゲート電圧検出回路の構成例を示す図である。

【図6】 図1の回路におけるパワートランジスタの過電流保護回路にあたる一部分の他の例を示す図である。

【図7】 この発明の実施の形態1によるパワートランジスタの過電流保護回路を用いた場合の過電流保護のタイミングチャートである。

【図8】 この発明の実施の形態1によるパワートランジスタの過電流保護回路を用いた場合の過電流保護のタイミングチャートである。

【図9】 実施の形態1の変形例1を示す図である。

【図10】 実施の形態1の変形例2を示す図である。

【図11】 従来のパワートランジスタの過電流保護回路を示す図である。

【図12】 従来のパワートランジスタの過電流保護回路を用いた場合の過電流保護のタイミングチャートである。

【図13】 従来のパワートランジスタの過電流保護回路を用いた場合の問題点を示すタイミングチャートである。

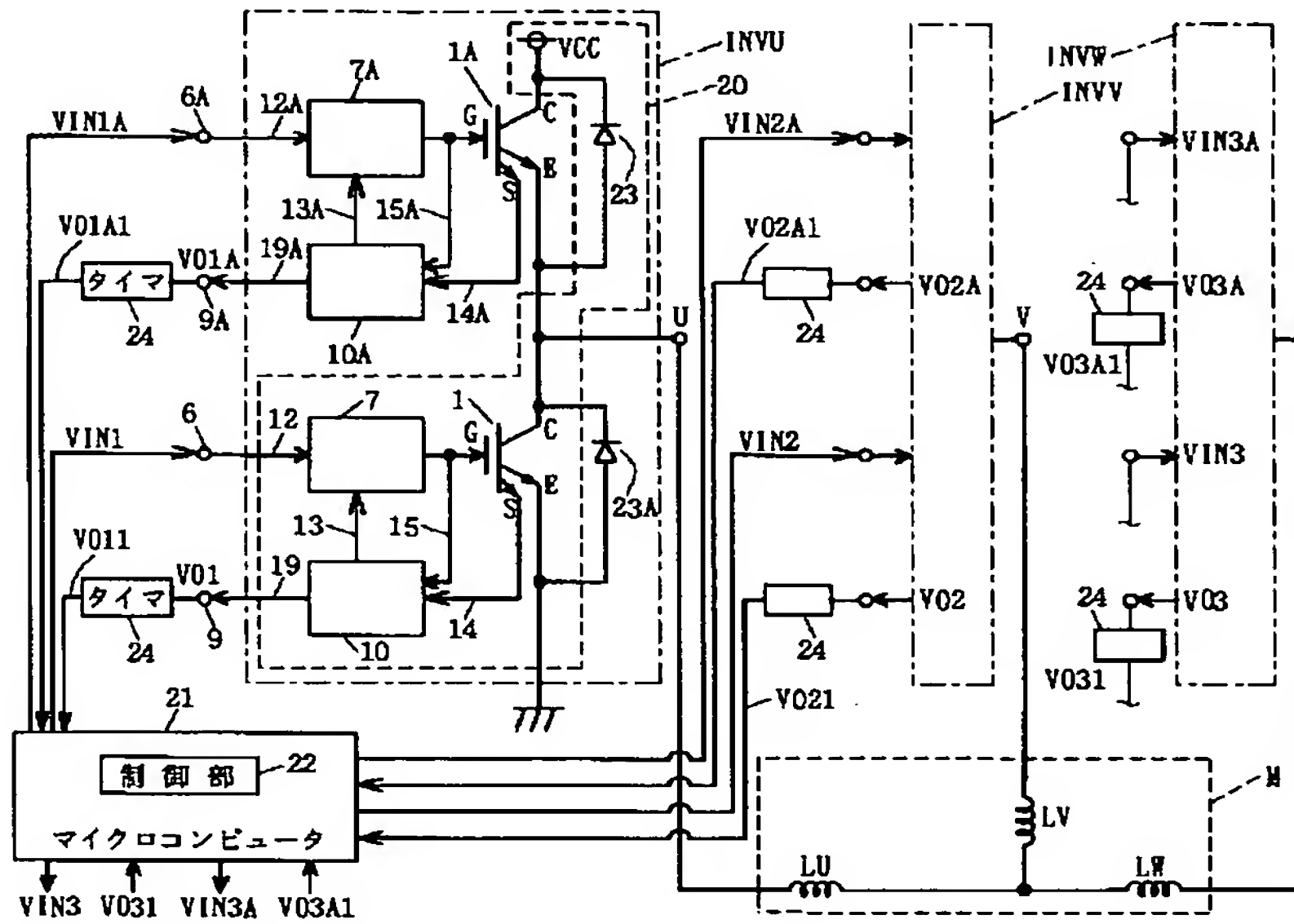
【符号の説明】

1 IGBT、2 電流検出回路、3 過電流検出回路、4 過電流判定回路、5 ゲート電圧検出回路、6 入力端子、7 IGBT駆動回路、8 ゲート抵抗、9 エラー出力端子。

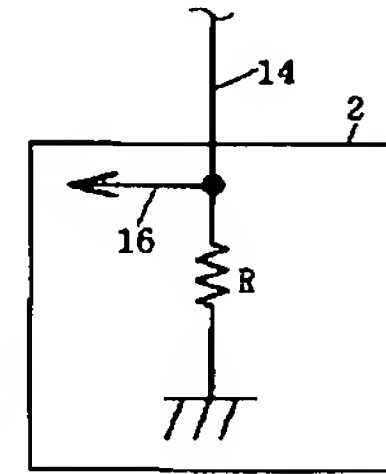
(11)

特開平11-112313

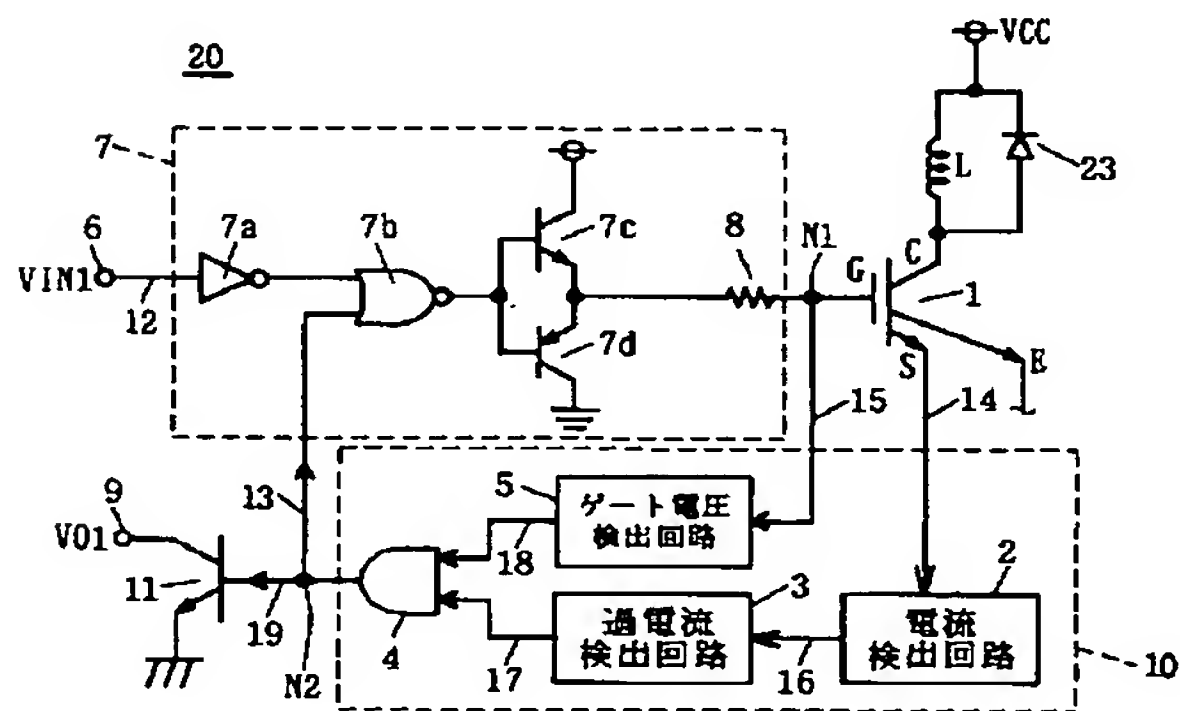
【図1】



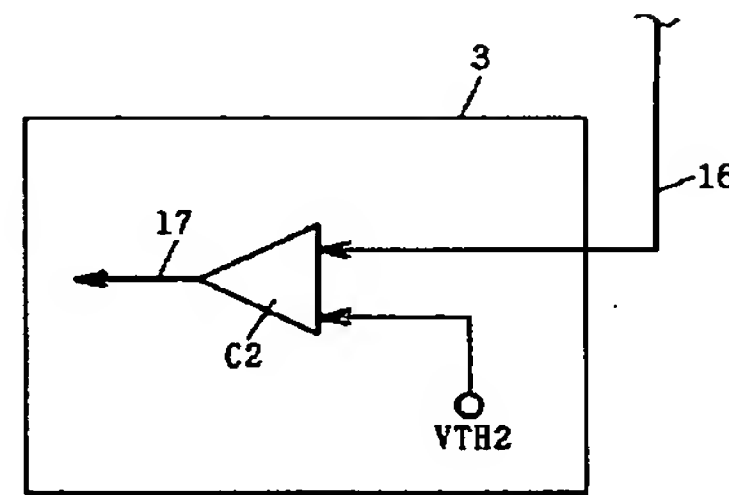
【図3】



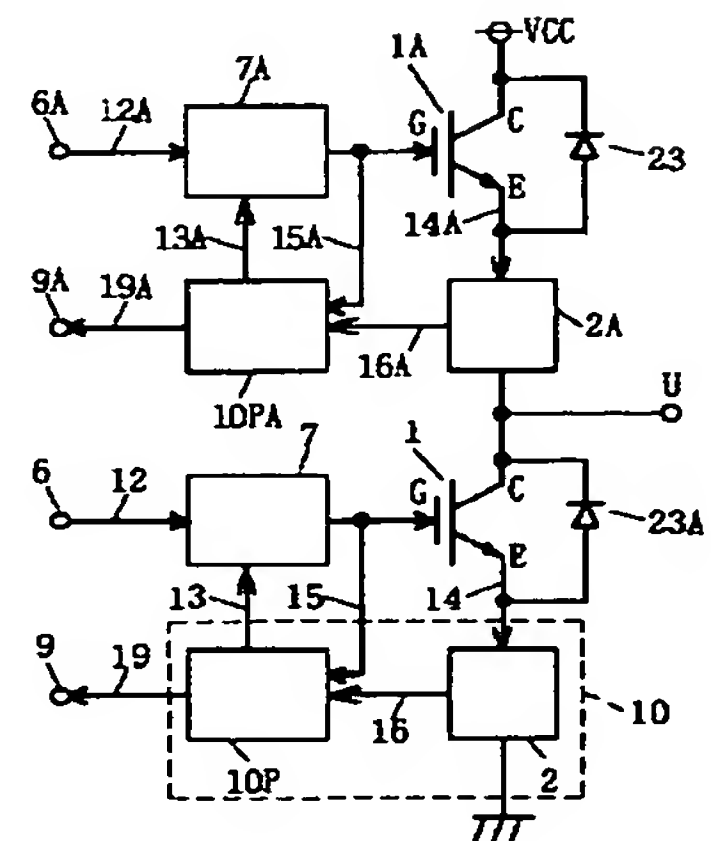
【図2】



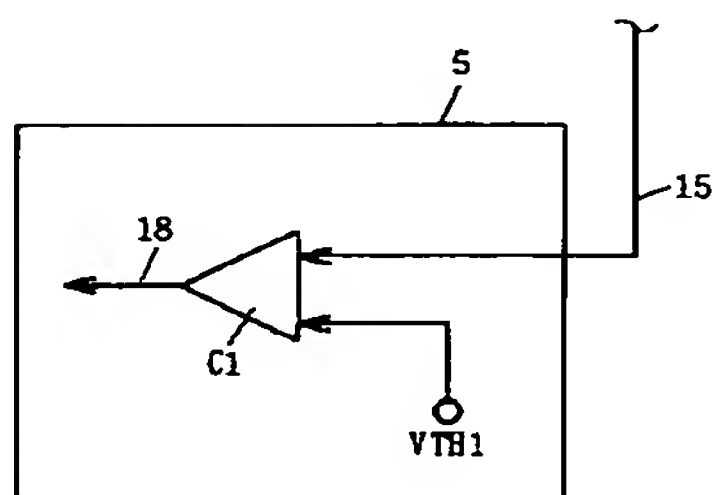
【図4】



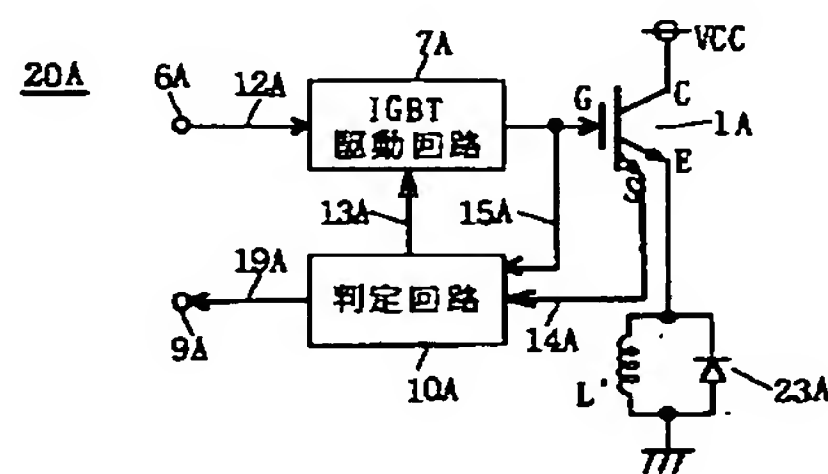
【図9】



【図5】



【図6】

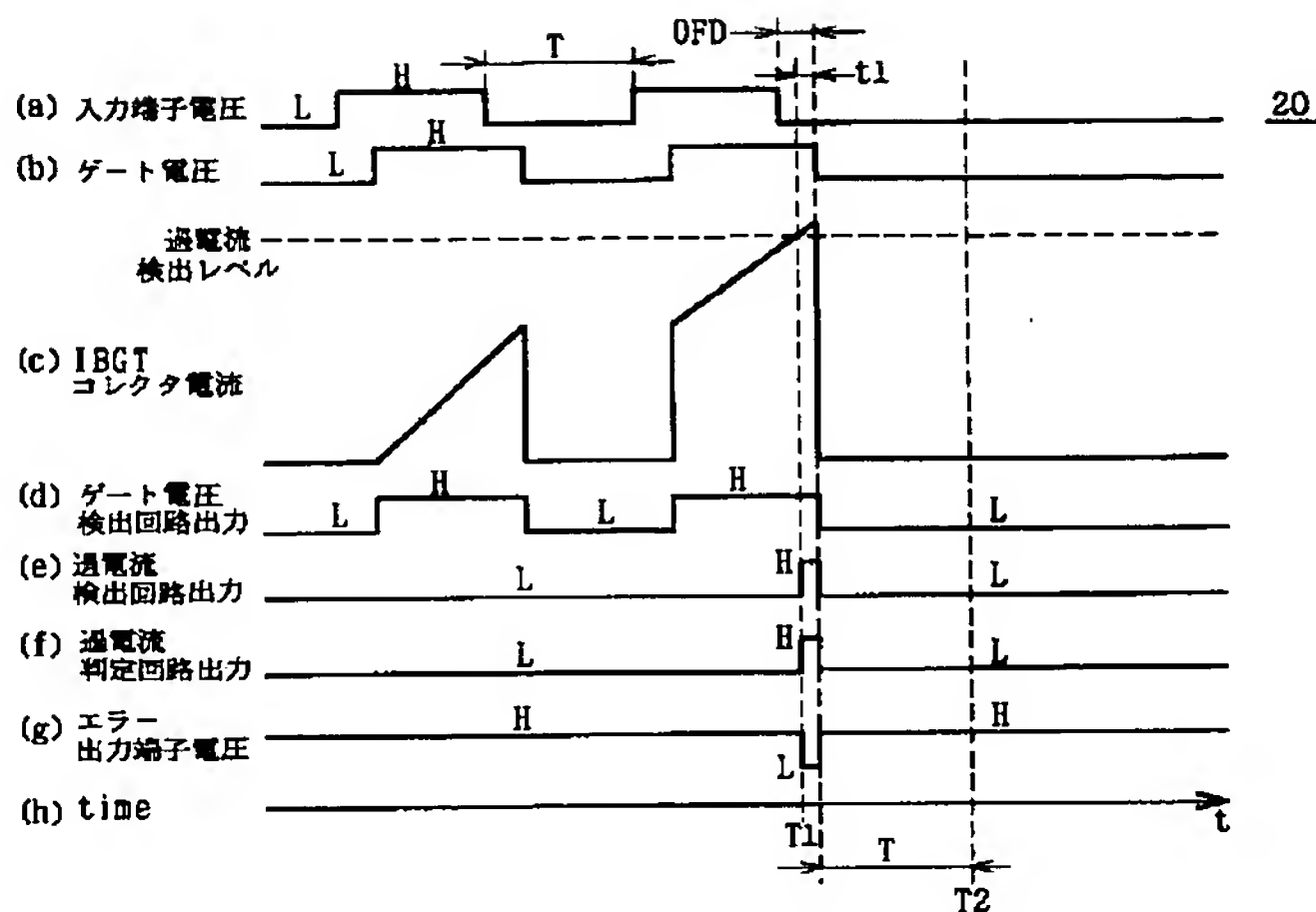


INVU1

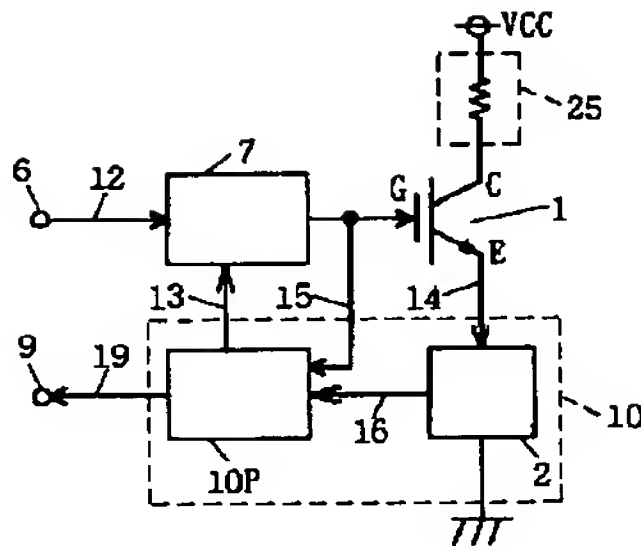
(1 2)

特開平 1 1 - 1 1 2 3 1 3

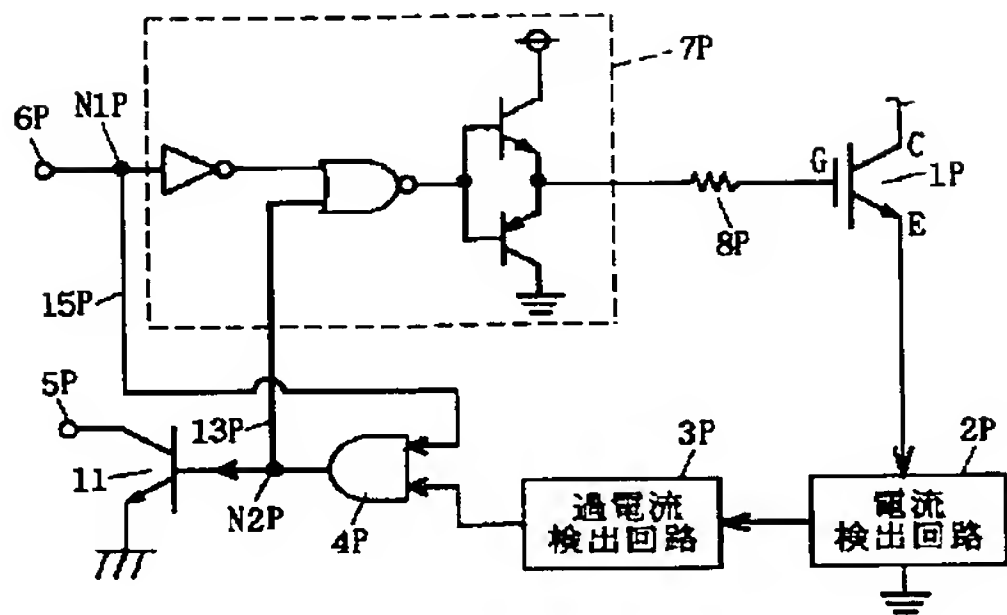
【図 7】



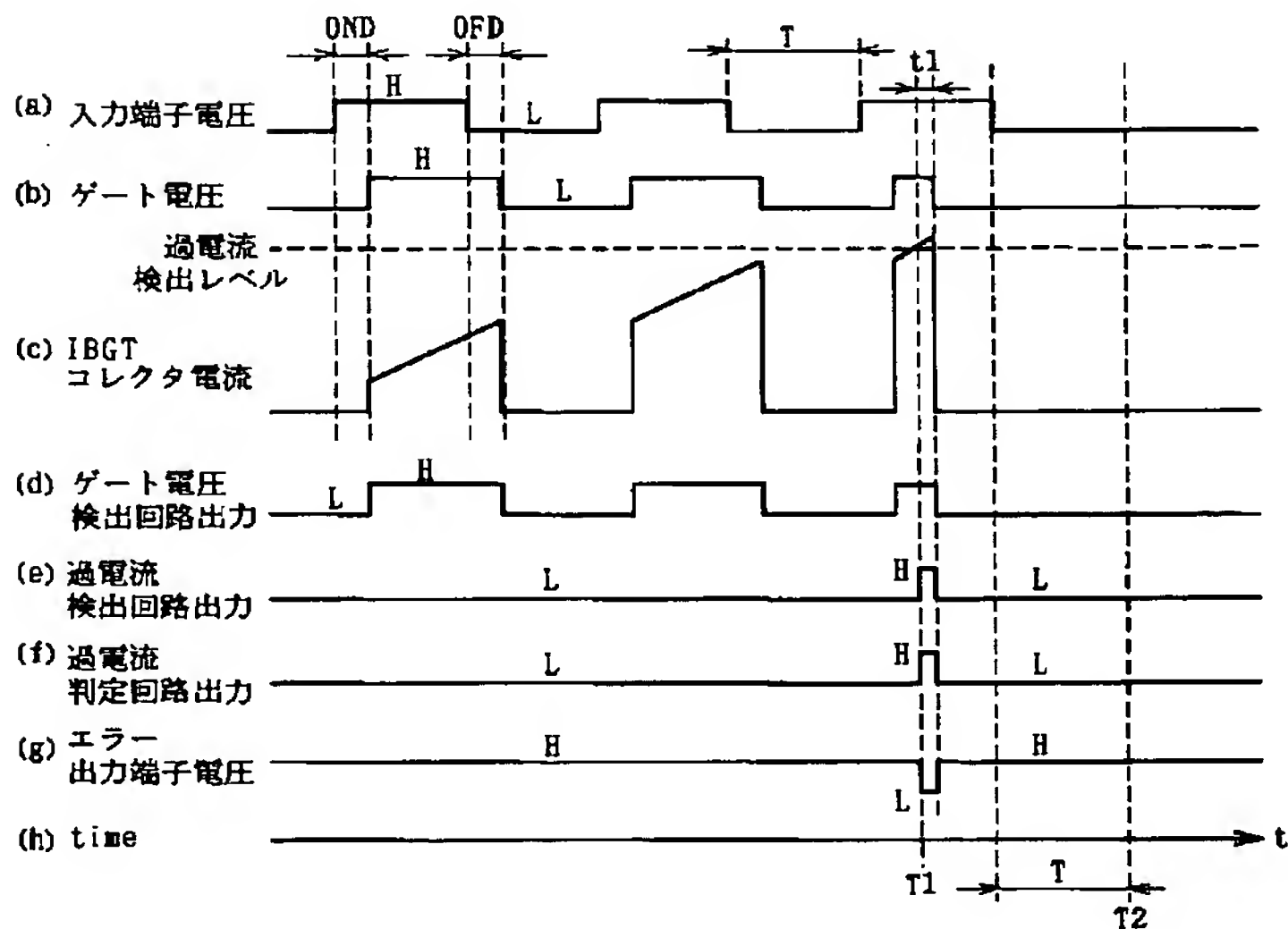
【図 10】



【図 11】



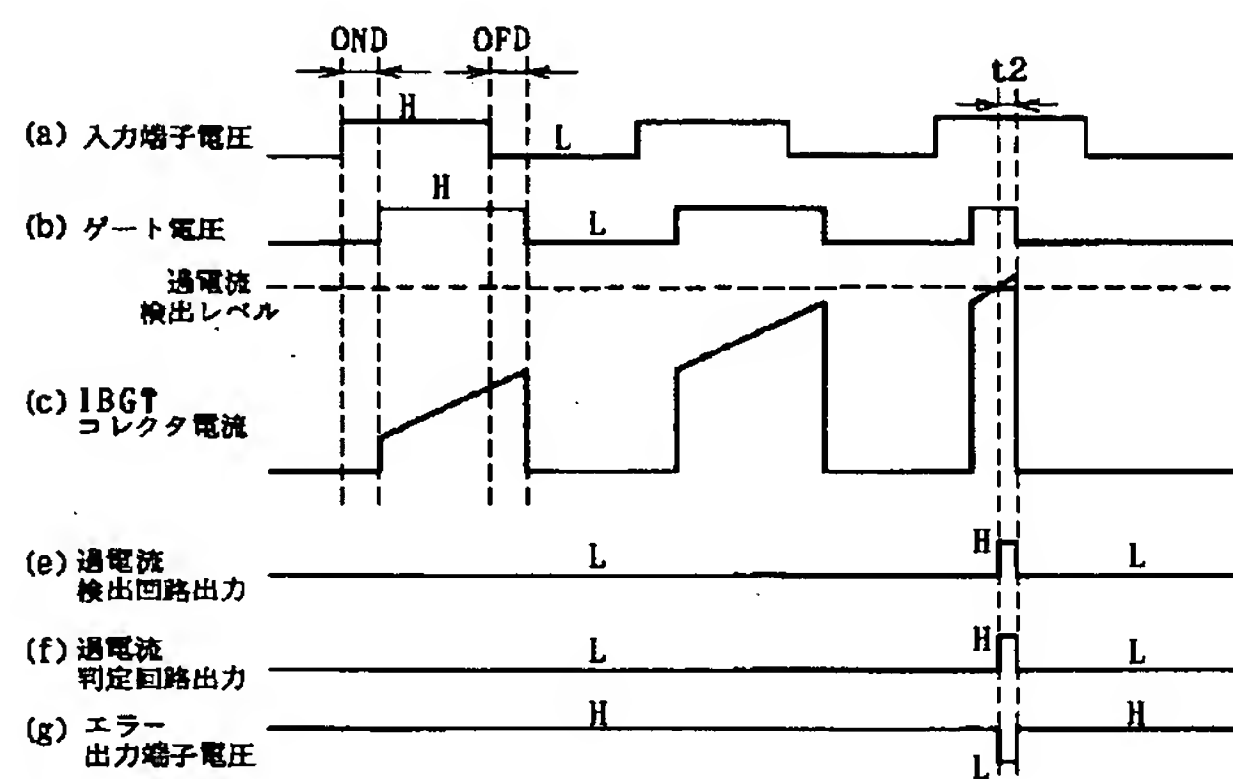
【図 8】



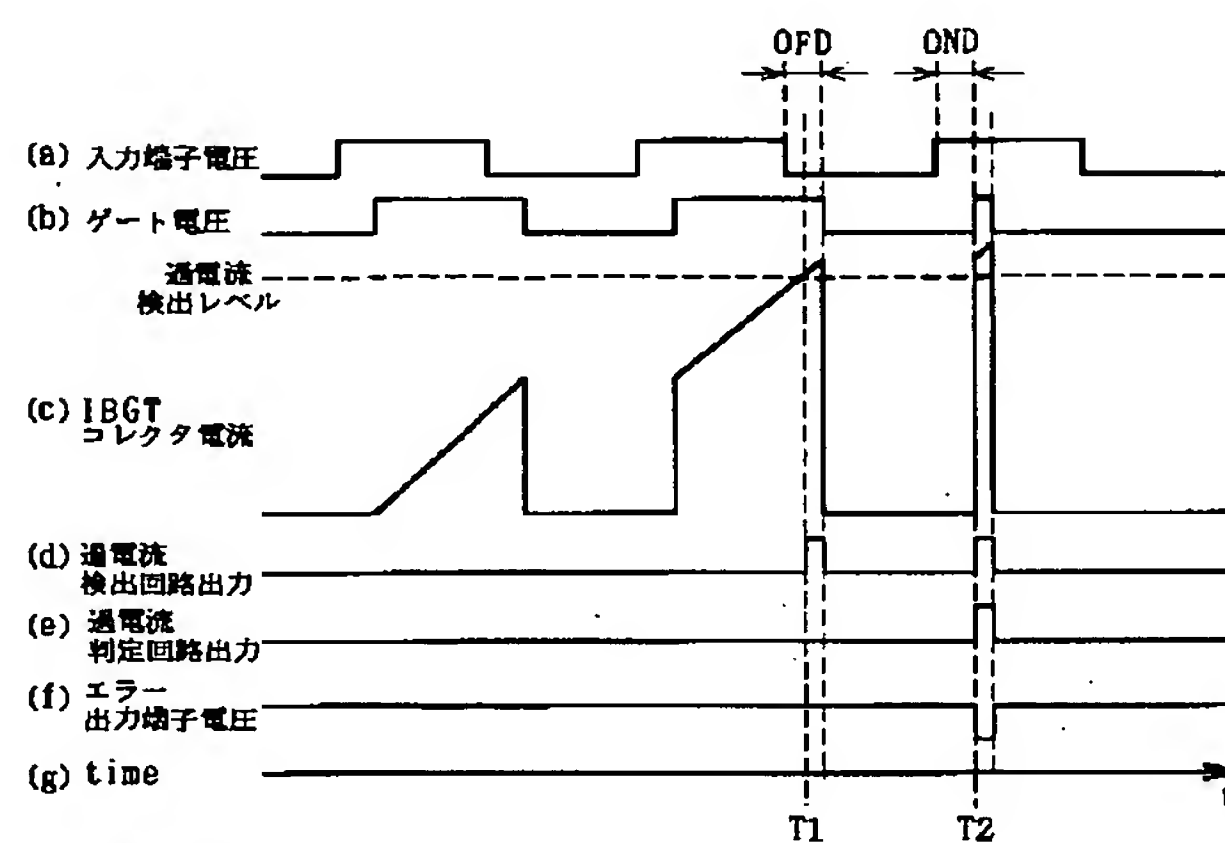
(13)

特開平11-112313

【図12】



【図13】



THIS PAGE BLANK (USPTO)